

Patent



IFW

Customer No. 31561
Application No.: 10/710,696
Docket No. 13184-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Yee et al.
Application No. : 10/710,696
Filed : Jul 29, 2004
For : PHOTOELECTRIC DEVICE GRINDING PROCESS AND
DEVICE GRINDING PROCESS
Examiner : N/A
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93114874,
filed on: 2004/5/26.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 9, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

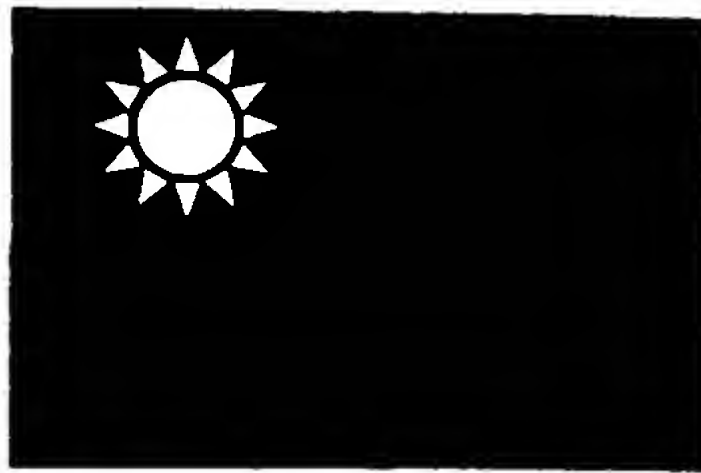
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2004 年 05 月 26 日
Application Date

申請案號：093114874
Application No.

BEST AVAILABLE COPY

申請人：日月光半導體製造股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

局長
Director General

蔡練生

發文日期：西元 2004 年 10 月 3 日
Issue Date

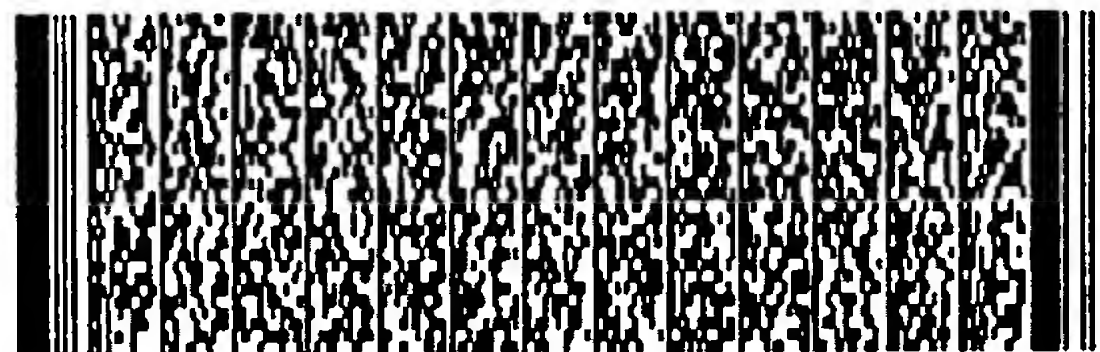
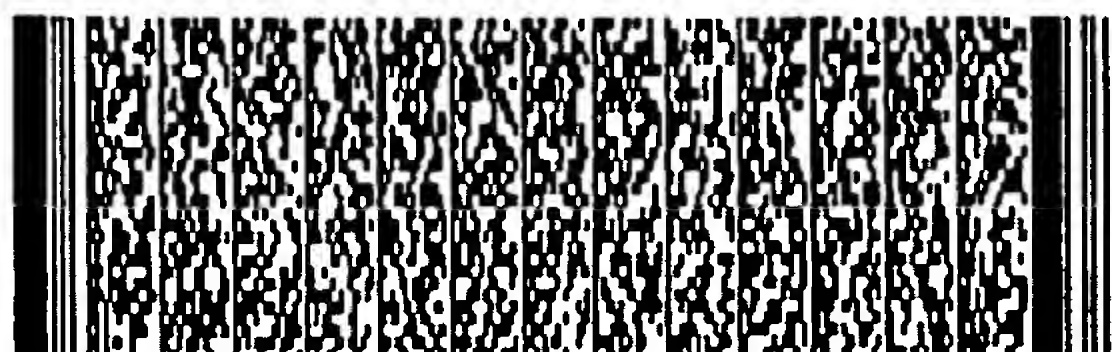
發文字號：09320940730
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	光電元件研磨製程及元件研磨製程
	英 文	PHOTOELECTRIC DEVICE GRINDING PROCESS AND DEVICE GRINDING PROCESS
二、 發明人 (共2人)	姓 名 (中文)	1. 余國寵 2. 陳智龍
	姓 名 (英文)	1. YEE, KUO CHUNG 2. CHEN, CHIH LUNG
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北市文山區木新路3段172巷2弄7號3樓 2. 高雄縣鳳山市新泰街6號5樓
	住居所 (英 文)	1. 3Fl., No. 7, Alley 2, Lane 172, Sec. 3, Mushin Rd., Wenshan Chiu, Taipei, Taiwan 116, R.O.C. 2. 5Fl., No. 6, Shintai St., Fengshan City, Kaohsiung, Taiwan 830,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. CHANG, CHIEN SHENG

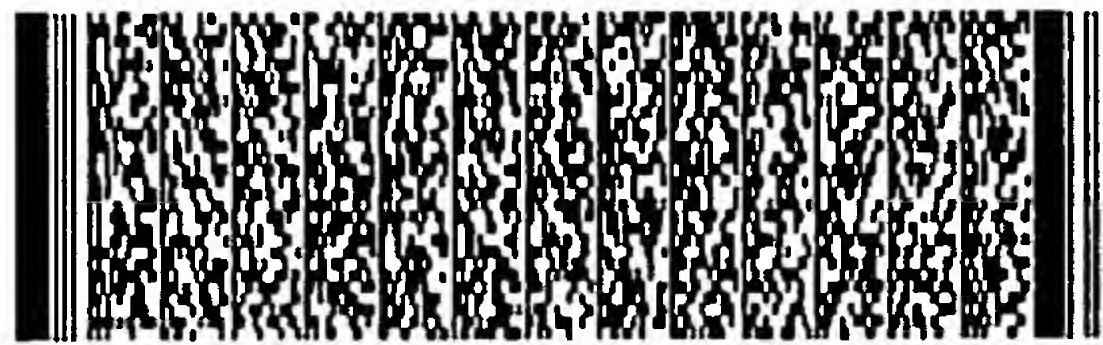
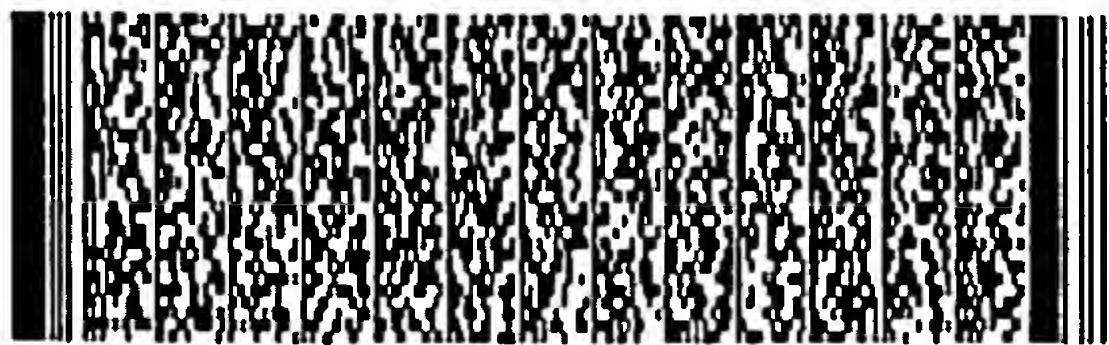


四、中文發明摘要 (發明名稱：光電元件研磨製程及元件研磨製程)

一種光電元件研磨製程，包括下面各步驟。首先提供一晶圓，晶圓內含有多個晶片單元，每一個晶片單元之表層配置有至少一個光電元件。接著提供一混合有多個間隙物之膠材。藉由膠材將一介電基板黏合於晶圓配置有光電元件之表面上，且間隙物適於保持一間隙於介電基板與晶圓之間。最後研磨介電基板遠離晶圓之表面、晶圓遠離介電基板之表面或兩者皆研磨。此光電元件研磨製程適於避免光電元件在研磨製程中受到損壞。

五、英文發明摘要 (發明名稱：PHOTOELECTRIC DEVICE GRINDING PROCESS AND DEVICE GRINDING PROCESS)

A photoelectric device grinding process comprising the following steps is disclosed. A wafer comprising a plurality of chip units is provided. Each of the chip units has at least a photoelectric device disposing on the surface layer of the chip units. A dielectric substrate is stuck to the wafer with glue that has a plurality of spacers in it. The spacers suit to keep a gap



四、中文發明摘要 (發明名稱：光電元件研磨製程及元件研磨製程)

五、英文發明摘要 (發明名稱：PHOTOELECTRIC DEVICE GRINDING PROCESS AND DEVICE GRINDING PROCESS)

between the dielectric substrate and the wafer. The photoelectric devices face the dielectric substrate. Then, the surface of the dielectric substrate that away from the wafer or the surface of the wafer that away from the dielectric substrate is ground, or both the surfaces are ground. The photoelectric device grinding process suits to avoid the damage in the grinding process.



六、指定代表圖

(一) 本案指定代表圖為：圖 1D

(二) 本代表圖之元件代表符號簡單說明：

110：晶片單元

114：光電元件

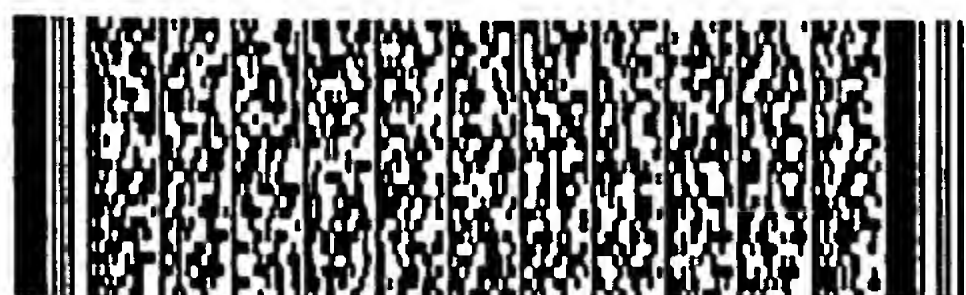
120：膠材

130：間隙物

140：介電基板

S：主動表面

G1：間隙



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

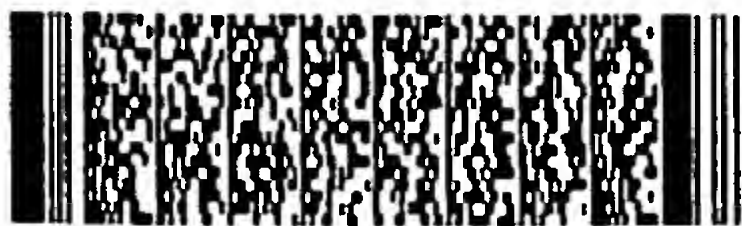
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

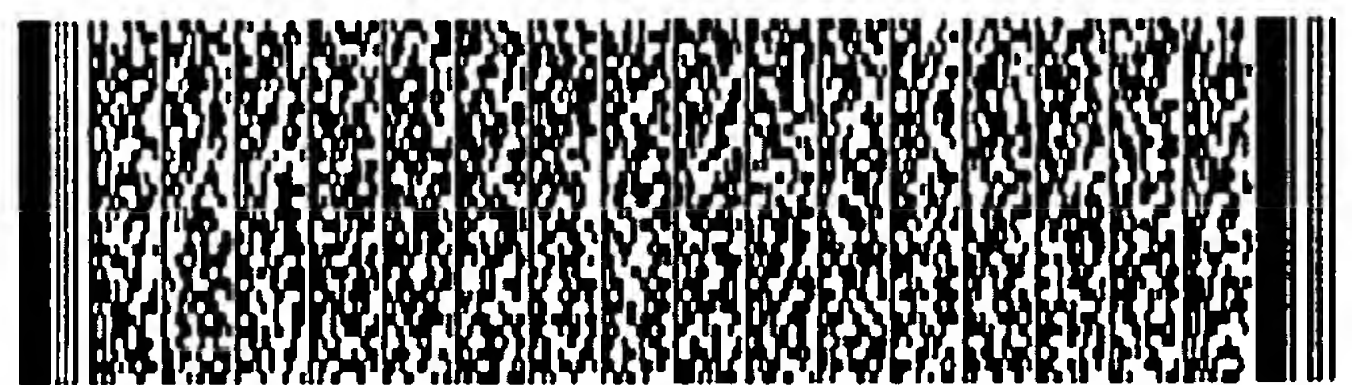
本發明是有關於一種研磨製程(grinding process)，且特別是有關於一種光電元件(photoelectric device)研磨製程。

先前技術

在現今資訊爆炸的社會，電子產品遍佈於日常生活中，無論在食衣住行育樂各方面，均會應用到積體電路元件所組成的產品，且伴隨著電子科技不斷地演進，功能性更複雜、更人性化的產品不斷推陳出新。就電子產品外觀而言，係朝向輕、薄、短、小的趨勢設計，因此在半導體封裝的領域亦走向相同趨勢。

對於現今要求輕薄短小之構裝製程而言，半導體元件在製作完成後，矽晶圓(silicon wafer)之厚度遠超過構裝時所要求之厚度。因此，矽晶圓在封裝製程中進行切割(Dicing)前，需先行於矽晶圓之主動表面(active surface)上貼上貼帶，以將矽晶圓固定而進行研磨(grinding)，使矽晶圓厚度薄化至符合封裝製程的要求。而矽晶圓研磨後，先去除貼帶，並於矽晶圓背面在貼上貼帶，以進行矽晶圓之切割，將每一個晶片單元(chip unit)分離開來。

但是，以光電元件為例，由於其係將影像感測器(image sensor)或射頻(Radio Frequency, RF)調變之微機械結構等，利用半導體製程與微機電技術(micro-electromechanical technology)形成於一矽晶圓



五、發明說明 (2)

之表面上，而不論是影像感測器或射頻調變之微機械結構，其暴露於矽晶圓外之部分若貼上貼帶，則很容易在撕除貼帶的過程中受到破壞，且貼帶之殘膠也會降低光電元件的良率。同時，由於在研磨過程需小心翼翼的保護矽晶圓表面上之光電元件，且在矽晶圓越磨越薄而結構強度隨之降低後，矽晶圓就更難藉由研磨製程而薄化至符合封裝製程的要求。

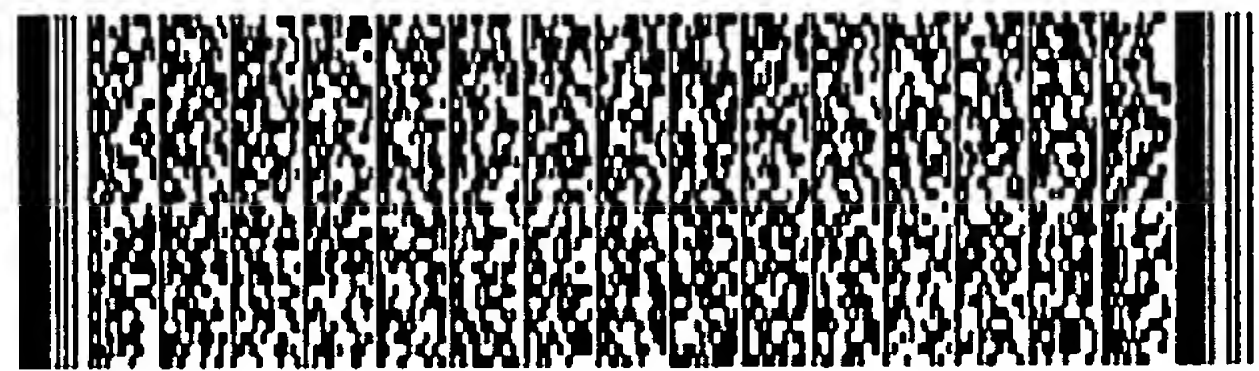
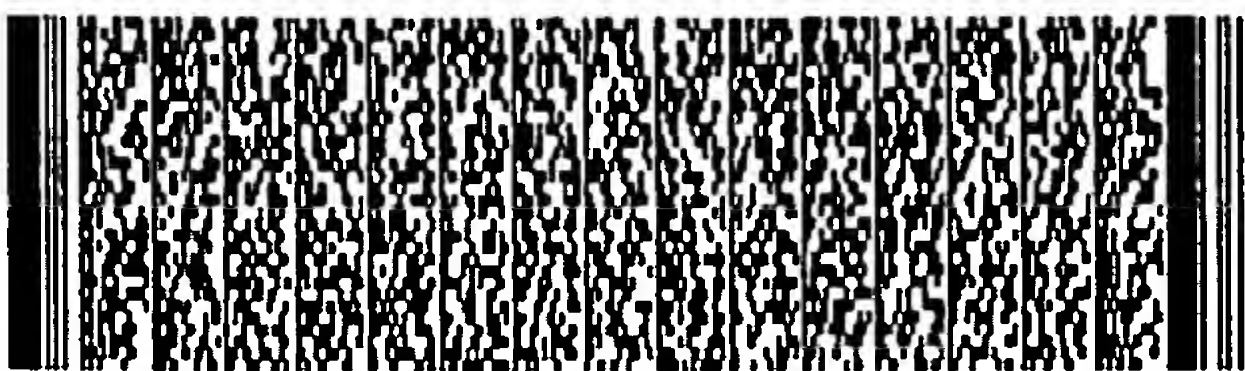
因此，如何解決當矽晶圓之表面上具有如影像感測器等光電元件或其他微機械結構時，在研磨製程中無法使用的貼帶進行固定且薄化程度不足等缺點，就成為亟待解決的課題。

發明內容

本發明的目的就是在提供一種光電元件研磨製程，適於避免光電元件在研磨製程中受到損壞。

本發明提出一種光電元件研磨製程，包括下面各步驟。首先提供一晶圓。晶圓內含有多個晶片單元，每一個晶片單元之表層配置有至少一個光電元件。接著提供一混合有多數個間隙物之膠材。之後黏合一介電基板於晶圓配置有光電元件之表面上。其中，膠材與間隙物係位於介電基板與晶圓之間，且間隙物適於使介電基板與晶圓之間保持一間隙。最後研磨介電基板遠離晶圓之表面、晶圓遠離介電基板之表面或兩者皆研磨。

在本實施例中，光電元件例如係影像感測器。或者，光電元件例如具有一微機械結構，微機械結構突出基底之



五、發明說明 (3)

表層的部分具有一高度，而介電基板與晶圓之間的間隙例如大於此高度。

膠材例如係紫外線硬化膠或環氧樹脂(epoxy)。間隙物之材質例如係氧化矽(Silica)。研磨介電基板與晶圓之方法例如係機械研磨。介電基板例如係玻璃基板或矽基板。膠材、每一個晶片單元與介電基板例如構成至少一密閉空間，且光電元件位於這些密閉空間內。

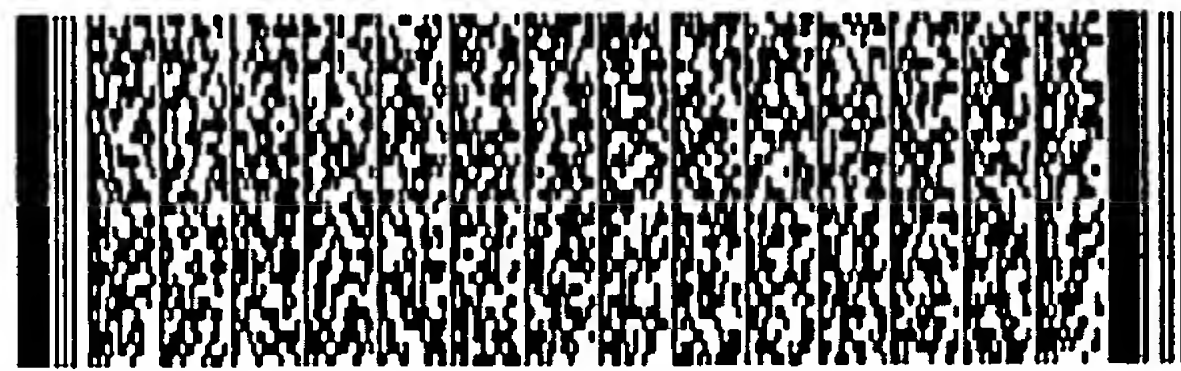
本發明再提出一種元件研磨製程，包括下面各步驟。首先提供一晶圓。晶圓內含有多個晶片單元，每一個晶片單元之表層配置有至少一個元件。接著黏合一介電基板於晶圓配置有元件之表面上，且介電基板與晶圓之間保持一間隙。最後研磨介電基板遠離晶圓之表面、晶圓遠離介電基板之表面或兩者皆研磨。

綜上所述，在本發明之光電元件研磨製程中，由於在進行研磨前先在晶圓具有光電元件之表面上黏合一介電基板，因此可在研磨製程中保護光電元件不受到外界的破壞，進而提高光電元件的良率。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

本發明之元件研磨製程係先提供一晶圓。晶圓內含有多個晶片單元，每一個晶片單元之表層配置有至少一個元件。接著黏合一介電基板於晶圓配置有元件之表面上，且



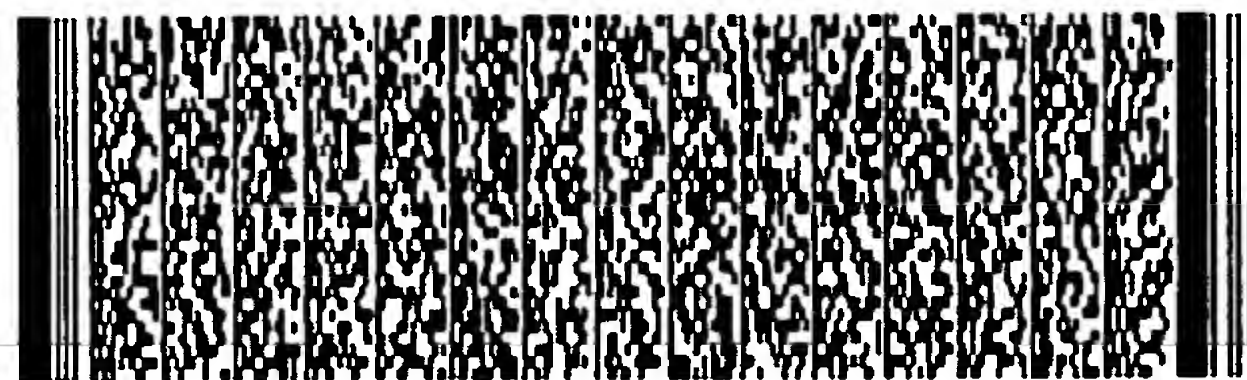
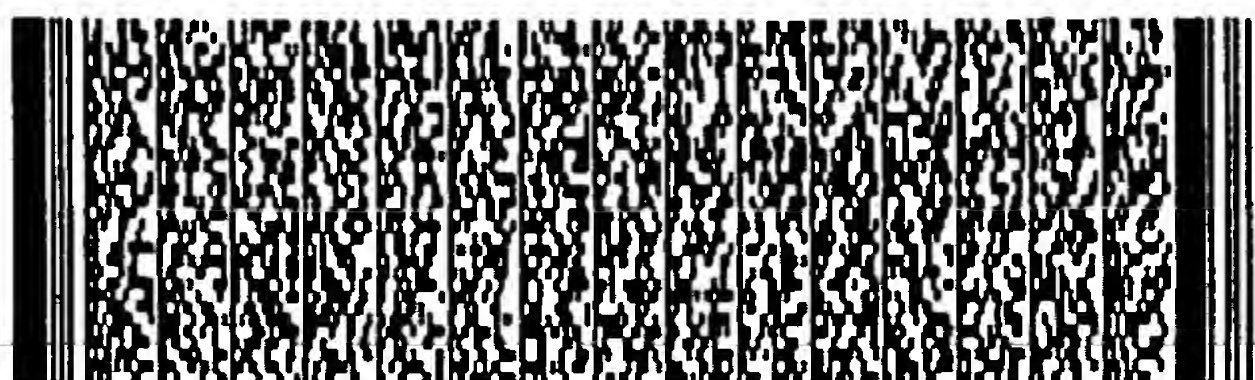
五、發明說明 (4)

介電基板與晶圓之間保持一間隙。之後，研磨介電基板遠離晶圓之表面、晶圓遠離介電基板之表面或兩者皆研磨。承上所述，由於晶圓具有元件之表面上黏合有介電基板，且介電基板與晶圓之間保持一間隙，因此可確保元件在後續的研磨製程中不會受到任何損傷。此外，如何使介電基板與晶圓之間保持一間隙則有許多作法，以下將就此元件研磨製程應用於光電元件時的一種具體實施例作介紹。

圖1A~1D繪示為本發明一較佳實施例之光電元件研磨製程的流程剖面圖。

首先請參照圖1A，此光電元件研磨製程係先提供一晶圓100，其例如是矽晶圓。晶圓100內含有多個晶片單元110。在圖1B~1D中僅繪示一個晶片單元110來進行說明，在實際的光電元件研磨製程中係以整個晶圓100為單位進行。

接著請參照圖1B，每一個晶片單元110之表層配置有至少一個光電元件114。光電元件114例如係採用半導體製程技術而形成於晶圓100的表層。光電元件114例如係電荷耦合元件(Charge Coupled Device, CCD)、互補金氧半導體(Complementary Metal Oxide Semiconductor, CMOS)或其他形式的影像感測器。光電元件114暴露於外界的表面即為主動表面S。由於外界光線係照射至主動表面S，再由光電元件114轉換為影像訊號，因此光電元件114之主動表面S的清潔就非常重要，任何刮損或異物沾附都將嚴重影響光電元件114的功能表現。

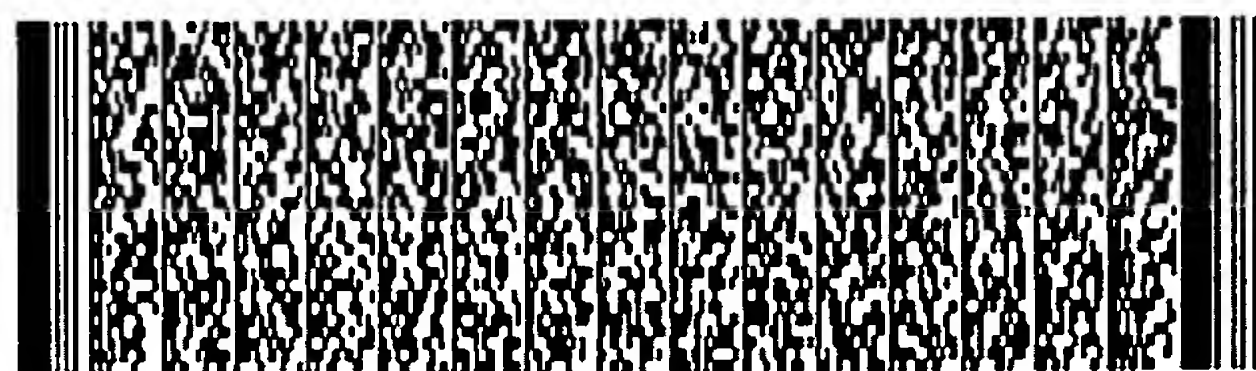
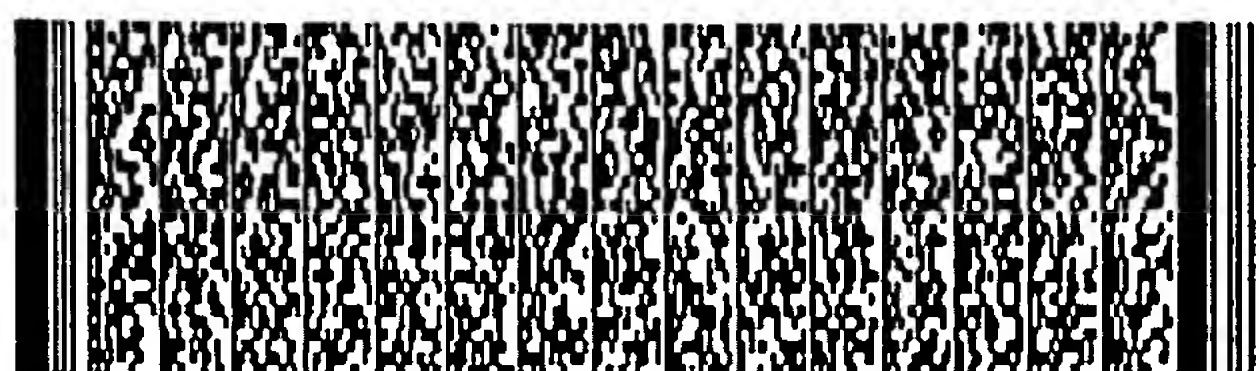


五、發明說明 (5)

接著請參照圖1C，提供一膠材120以及一介電基板140，其中膠材120內例如混合有多個間隙物130。然後黏合介電基板140於晶圓100(圖中僅繪示一個晶片單元110)具有光電元件114之表面上。其中，混合有間隙物130之膠材120係位於介電基板140與晶片單元110之間。膠材120例如係紫外線硬化膠或環氧樹脂等膠材，此外，於完成介電基板140與晶片單元110之黏合後，可再輔以紫外線照射、熱烘烤或其他方式將膠材120固化，以避免介電基板140與晶片單元110在後續進行研磨時彼此分離。混合在膠材120內之間隙物130係適於用以保持一間隙G1於介電基板140與晶片單元110之間。較佳地，間隙G1係可使介電基板140不會接觸到光電元件114。膠材120、晶片單元110與介電基板140例如構成至少一密閉空間R，且光電元件114位於密閉空間R內。間隙物130之材質可以採用氧化矽或其他材質，其外型例如是具有一致大小之圓珠，以確保晶片單元110與介電基板140在各處皆保持均勻一致的間隙G1。介電基板140例如係玻璃基板或其他透明材質之基板，以使光電元件114能發揮影像感測的作用。

接著請參照圖1D，單獨研磨介電基板140遠離晶片單元110之表面，或單獨研磨晶片單元110遠離介電基板140之表面，又或者兩者皆研磨。研磨之方法例如係機械研磨。

此時，由於可利用貼帶(圖未示)貼附於介電基板140或晶片單元110之背面，因此不需擔心貼帶會破壞光電元



五、發明說明 (6)

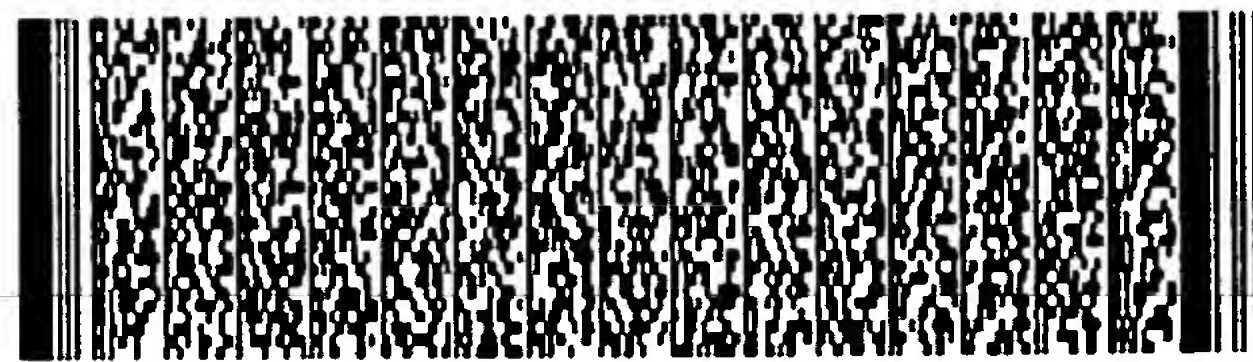
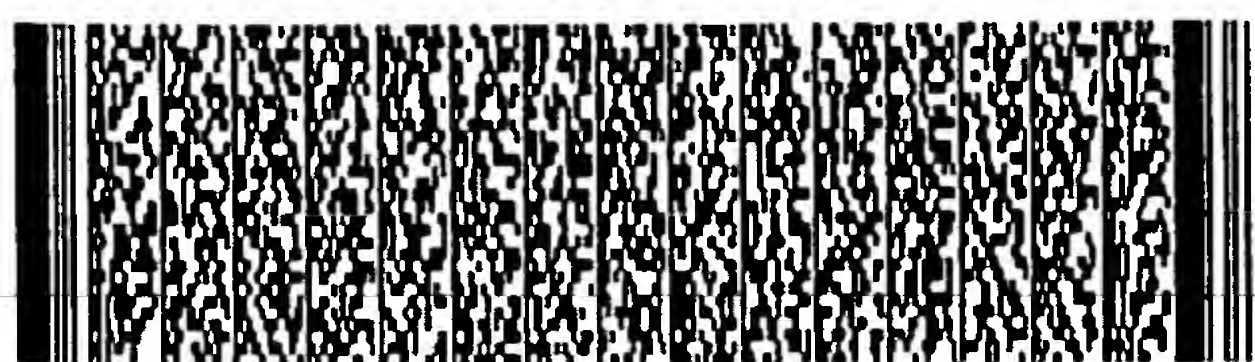
件114。同時，由於具有雙層結構(介電基板140加上晶片單元110)，因此整體結構強度會大幅增加，而對介電基板140或晶片單元110的研磨程度也可以隨之加大，進而獲得較薄的最終厚度。

圖2A~2C繪示為本發明另一較佳實施例之光電元件研磨製程的流程剖面圖。在本實施例中，主要係光電元件之種類與前一實施例不同，其餘相同之處在此即不再贅述。

首先請參照圖2A，此光電元件研磨製程係先提供如圖1A所示之一晶圓，晶圓內含有多個晶片單元210。每一個晶片單元210之表層配置有至少一個光電元件214。光電元件214例如係採用微機電製程技術而形成於晶片單元210的表層。光電元件214例如具有一微機械結構216，微機械結構216突出晶片單元210之表層的部分具有一高度H。光電元件214例如係射頻調變元件或其他具有微機械結構之光電元件。

接著請參照圖2B，藉由一膠材220而將一介電基板240黏合於晶片單元210具有光電元件214之表面上。介電基板240例如係玻璃基板、矽基板或其他介電材質之基板。較佳地，該膠材係混合有多個間隙物230，其係適於用以保持一間隙G2於介電基板240與晶片單元210之間。此外，間隙G2至少大於微機械結構216的高度H。

接著請參照圖2C，單獨研磨介電基板240遠離晶片單元210之表面，或單獨研磨晶片單元210遠離介電基板240之表面，又或者兩者皆研磨。

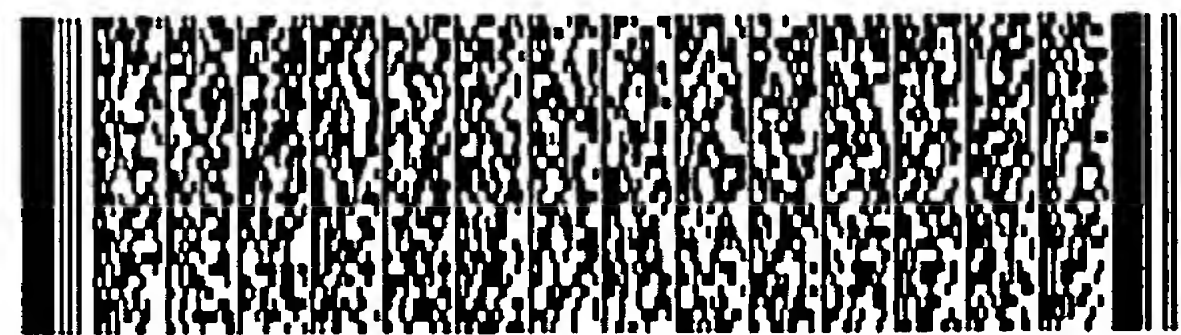


五、發明說明 (7)

綜上所述，在本發明之光電元件研磨製程中，係於進行研磨前先於晶圓具有光電元件之表面上黏合一介電基板。因此，在研磨製程中可利用貼帶貼附於介電基板或晶圓之背面，而不需擔心貼帶會破壞光電元件。當然，介電基板與膠材亦隔絕了外界之異物、水氣等，間隙物則在介電基板與晶圓間保持了適當距離，因此能保護光電元件不受到破壞。同時，由於具有雙層結構（介電基板加上晶圓），因此在研磨時整體結構強度會大幅增加，而對介電基板或晶圓的研磨程度也可以隨之加大，進而獲得較薄的最終厚度。所以，本發明之光電元件研磨製程，可保護光電元件不受到外界之破壞，進而提高光電元件的良率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

二



圖式簡單說明

圖1A～1D繪示為本發明一較佳實施例之光電元件研磨製程的流程剖面圖。

圖2A～2C繪示為本發明另一較佳實施例之光電元件研磨製程的流程剖面圖。

【圖式標示說明】

100：晶圓

110、210：晶片單元

114、214：光電元件

120、220：膠材

130、230：間隙物

140、240：介電基板

216：微機械結構

S：主動表面

G1、G2：間隙

R：密閉空間

H：高度



六、申請專利範圍

1. 一種光電元件研磨製程，包括：

提供一晶圓，該晶圓內含有多數個晶片單元，每一該些晶片單元之表層配置有至少一光電元件；

提供一膠材，該膠材係混合有多數個間隙物；

黏合一介電基板於該晶圓配置有該些光電元件之表面上，其中該膠材與該些間隙物係位於該介電基板與該晶圓之間，且該些間隙物適於使該介電基板與該晶圓之間保持一間隙；以及

研磨該介電基板遠離該晶圓之表面及該晶圓遠離該介電基板之表面至少其中之一。

2. 如申請專利範圍第1項所述之光電元件研磨製程，其中該些光電元件包括影像感測器。

3. 如申請專利範圍第1項所述之光電元件研磨製程，其中該些光電元件分別具有一微機械結構。

4. 如申請專利範圍第3項所述之光電元件研磨製程，其中該些微機械結構突出該基底之表層的部分具有一高度，而該間隙大於該高度。

5. 如申請專利範圍第1項所述之光電元件研磨製程，其中該膠材包括紫外線硬化膠與環氧樹脂其中之一。

6. 如申請專利範圍第1項所述之光電元件研磨製程，其中該些間隙物之材質包括氧化矽。

7. 如申請專利範圍第1項所述之光電元件研磨製程，其中研磨該介電基板與該晶圓之方法包括機械研磨。

8. 如申請專利範圍第1項所述之光電元件研磨製程，



六、申請專利範圍

其中該介電基板包括玻璃基板與矽基板其中之一。

9. 如申請專利範圍第1項所述之光電元件研磨製程，其中該膠材、每一該些晶片單元與該介電基板係構成至少一密閉空間，且該些光電元件位於該些密閉空間內。

10. 一種元件研磨製程，包括：

提供一晶圓，該晶圓內含有多數個晶片單元，每一該些晶片單元之表層配置有至少一元件；

黏合一介電基板於該晶圓配置有該些元件之表面上，且該介電基板與該晶圓之間保持一間隙；以及

研磨該介電基板遠離該晶圓之表面及該晶圓遠離該介電基板之表面至少其中之一。

11. 如申請專利範圍第10項所述之元件研磨製程，其中該些元件包括光電元件。

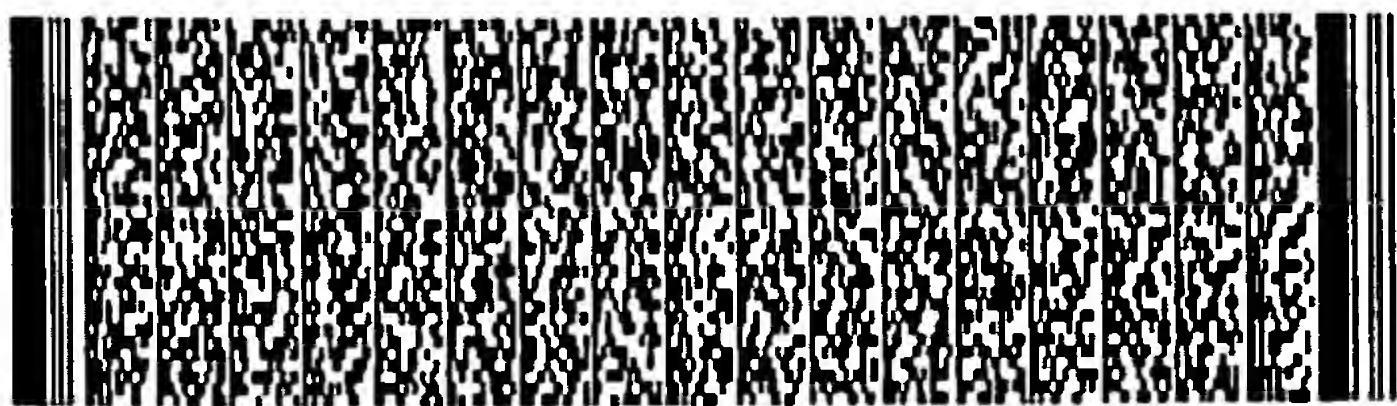
12. 如申請專利範圍第11項所述之元件研磨製程，其中該些光電元件包括影像感測器。

13. 如申請專利範圍第11項所述之元件研磨製程，其中該些光電元件分別具有一微機械結構。

14. 如申請專利範圍第13項所述之元件研磨製程，其中該些微機械結構突出該基底之表層的部分具有一高度，而該間隙大於該高度。

15. 如申請專利範圍第10項所述之元件研磨製程，其中黏合該介電基板與該晶圓之方法包括使用一膠材。

16. 如申請專利範圍第15項所述之元件研磨製程，其中該膠材係混合有多數個間隙物。



六、申請專利範圍

17. 如申請專利範圍第16項所述之元件研磨製程，其中該些間隙物之材質包括氧化矽。

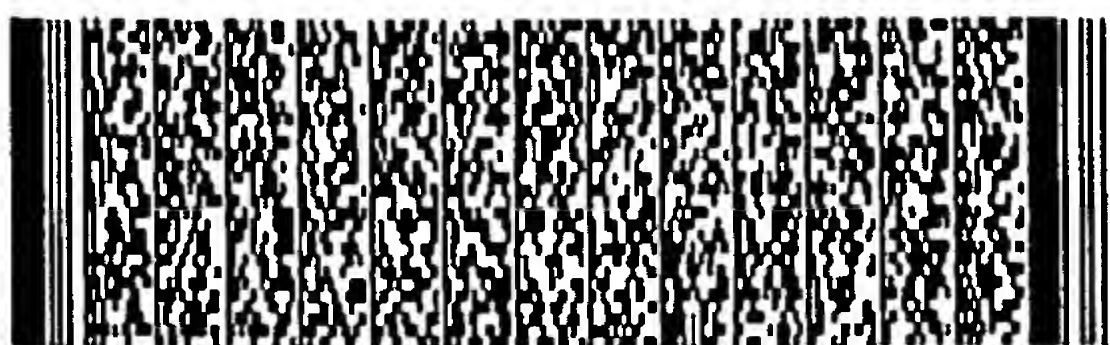
18. 如申請專利範圍第15項所述之元件研磨製程，其中該膠材包括紫外線硬化膠與環氧樹脂其中之一。

19. 如申請專利範圍第10項所述之元件研磨製程，其中研磨該介電基板與該晶圓之方法包括機械研磨。

20. 如申請專利範圍第10項所述之元件研磨製程，其中該介電基板包括玻璃基板與矽基板其中之一。

21. 如申請專利範圍第10項所述之元件研磨製程，其中每一該些晶片單元與該介電基板係構成至少一密閉空間，且該些元件位於該些密閉空間內。

=



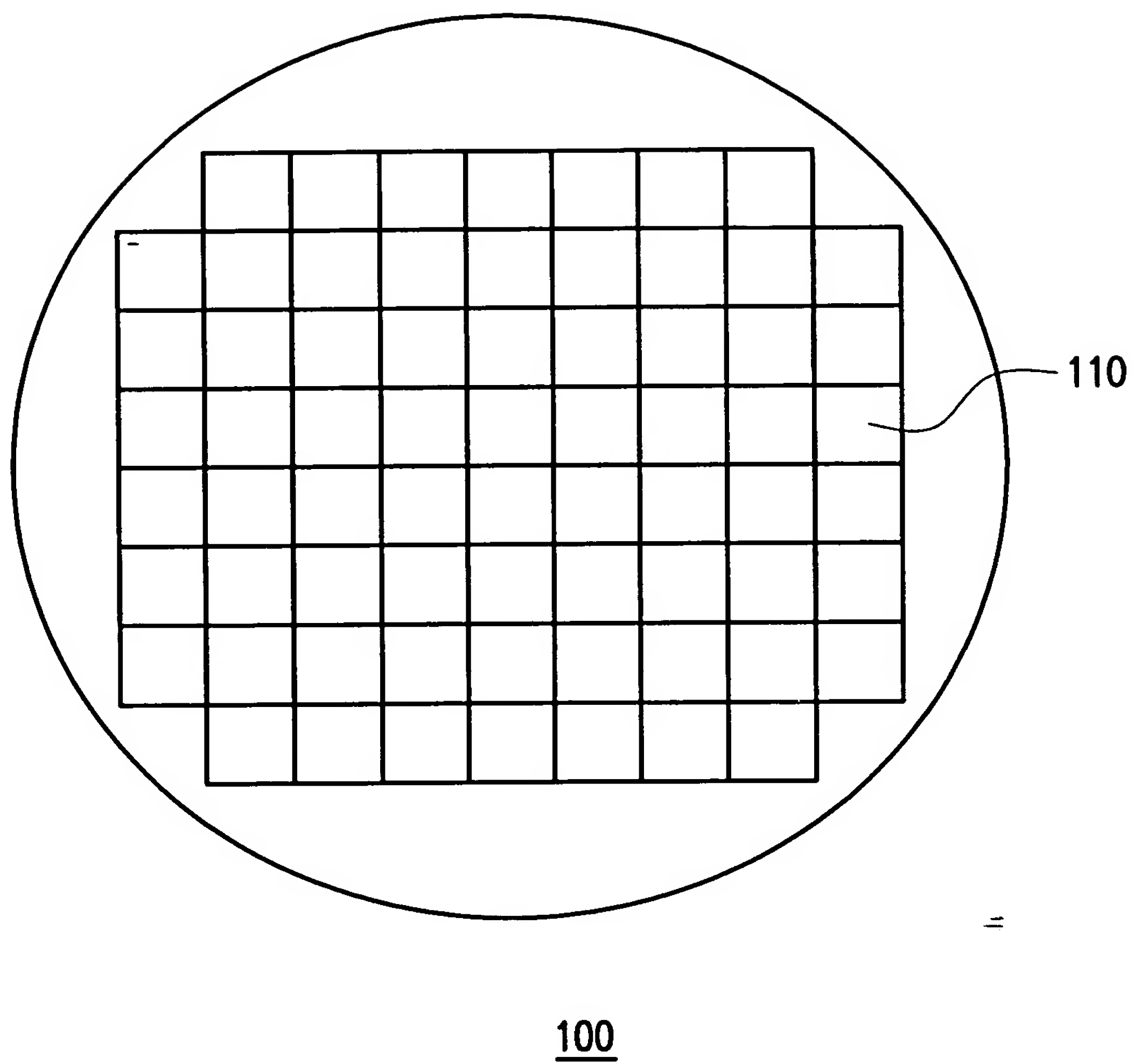


圖 1A

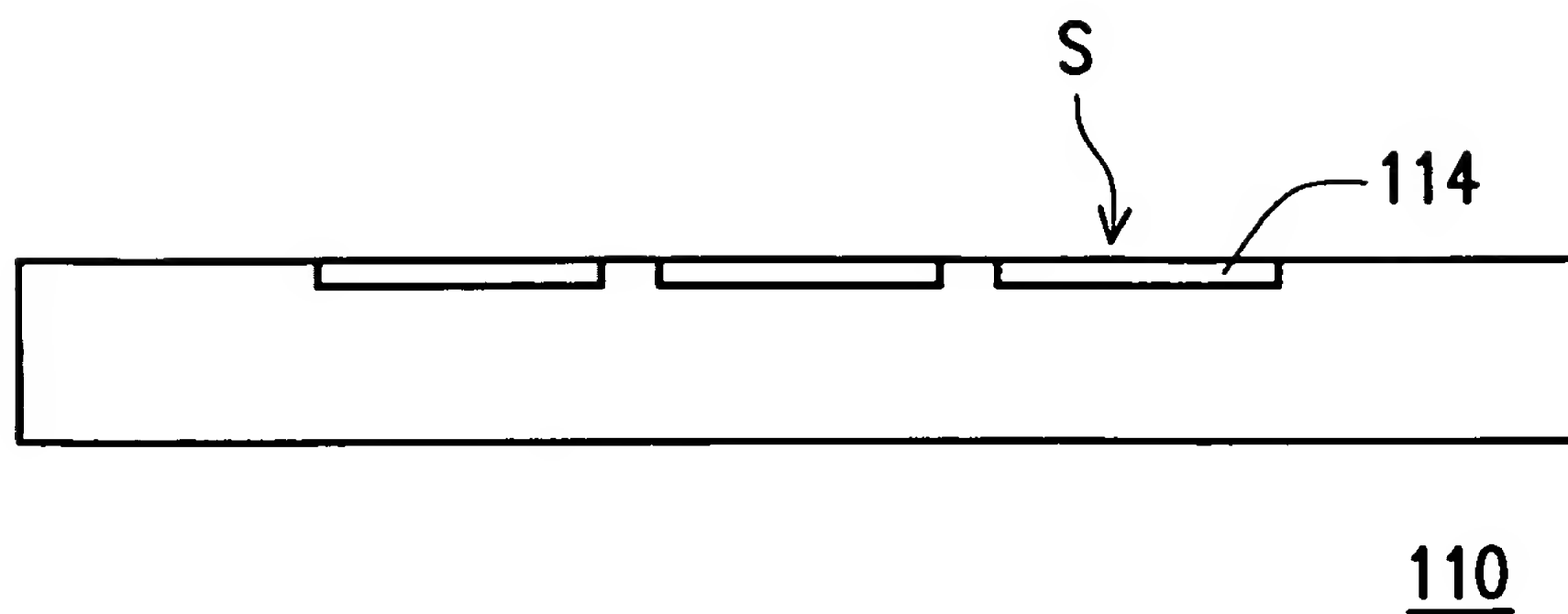


圖 1B

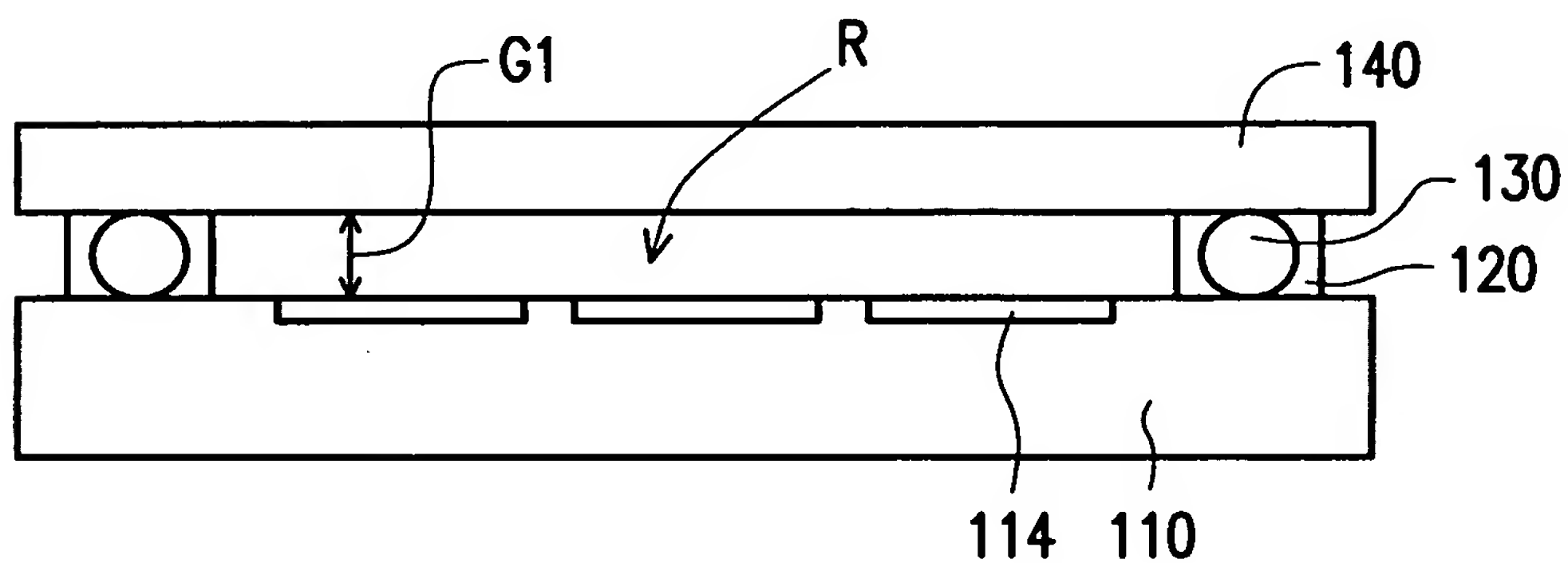


圖 1C

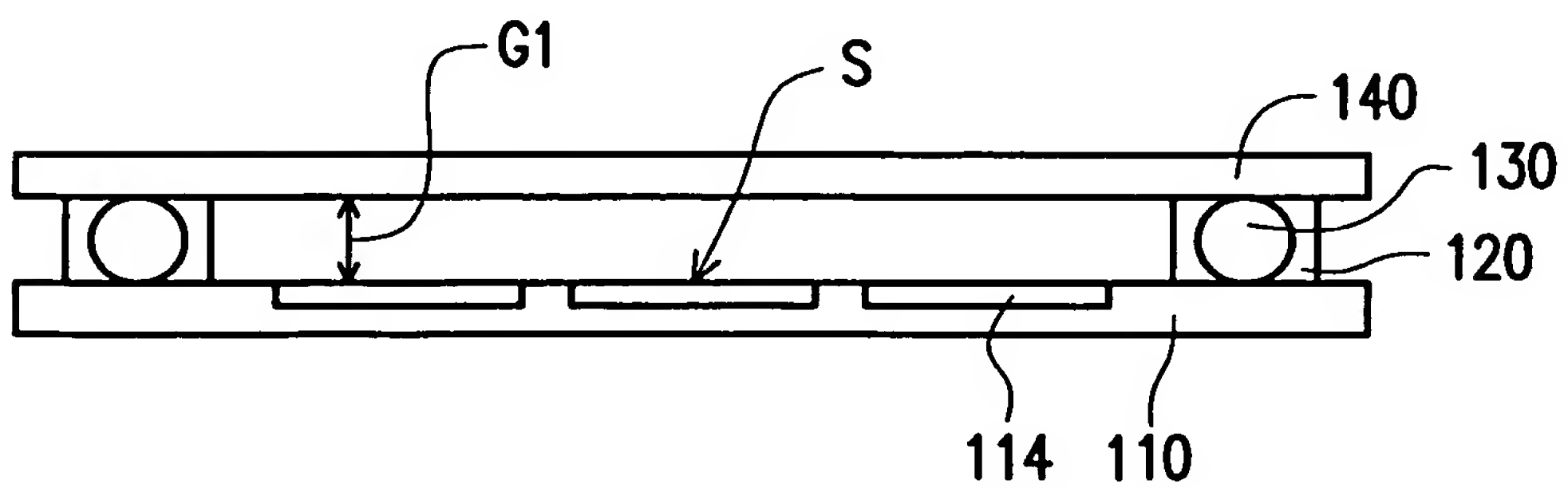


圖 1D

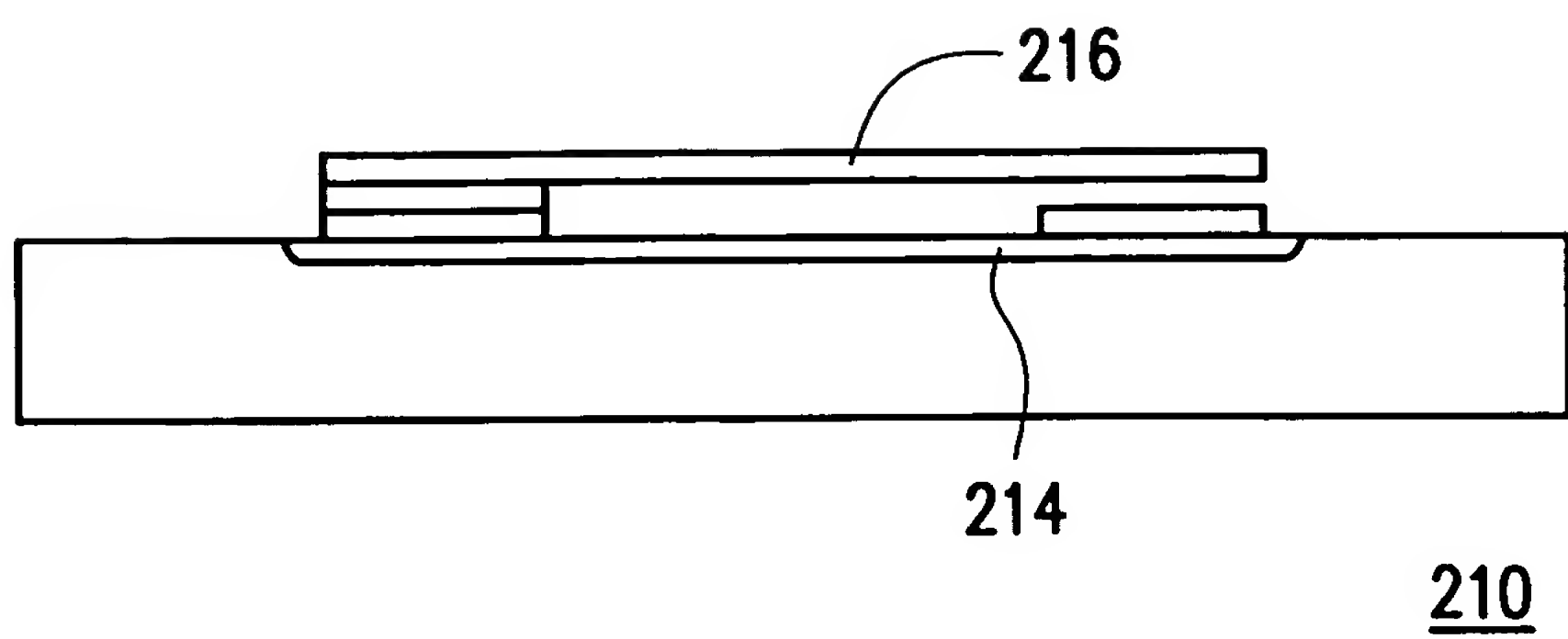


圖 2A

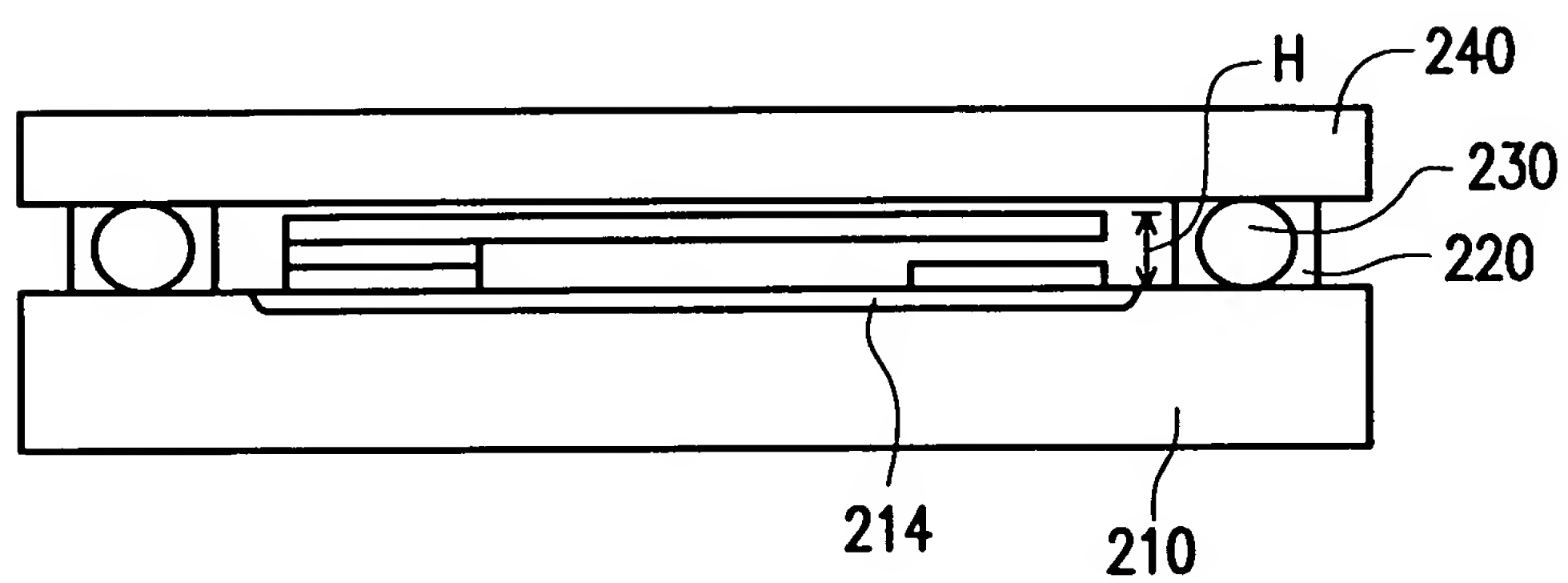


圖 2B

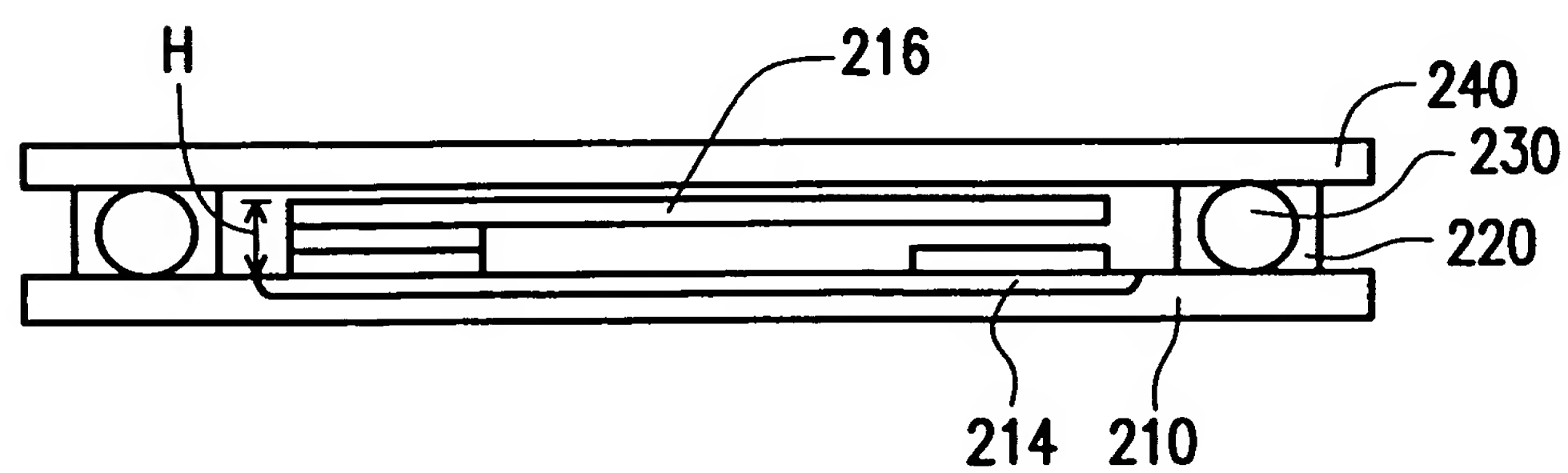
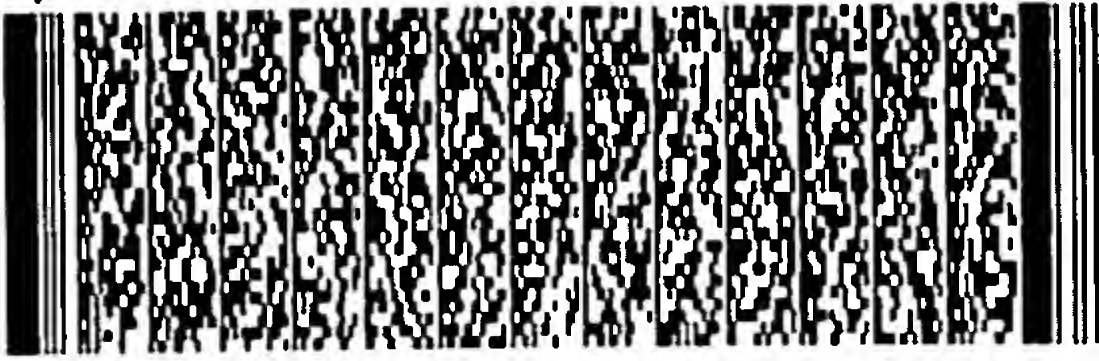
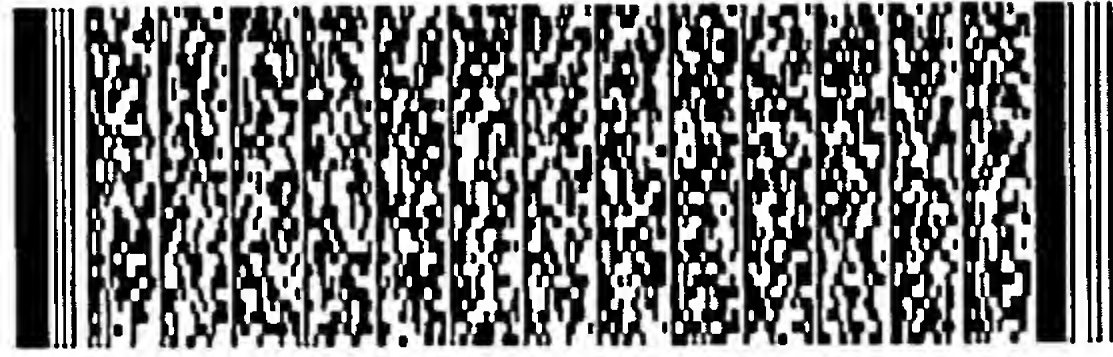


圖 2C

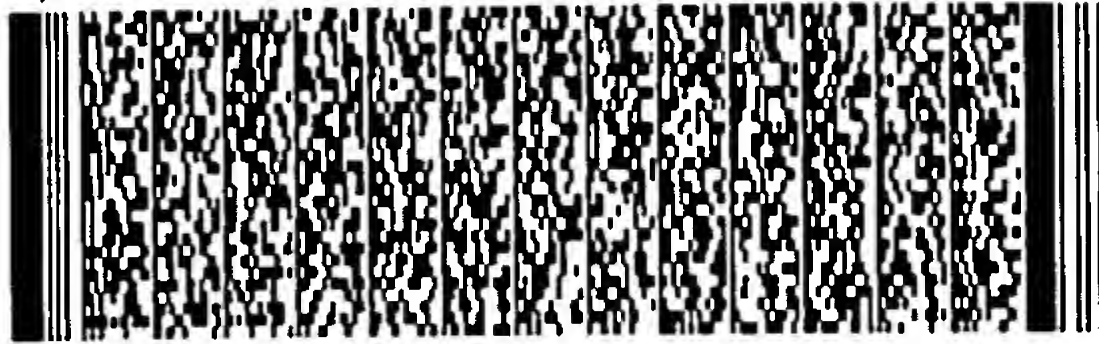
第 1/16 頁



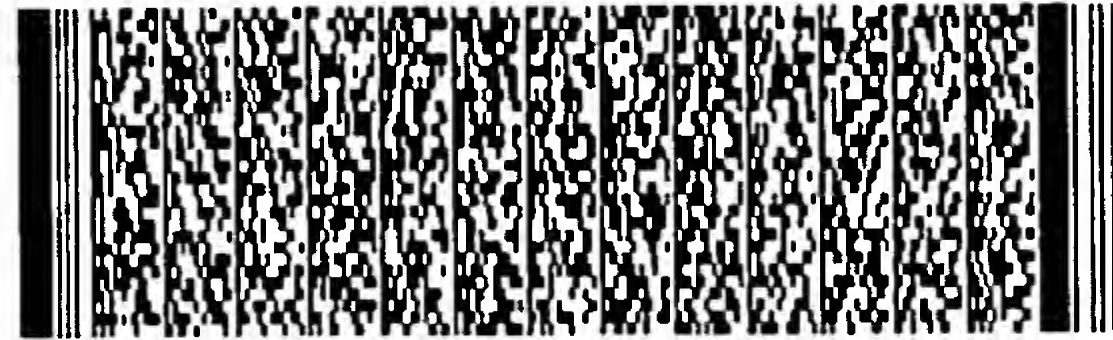
第 1/16 頁



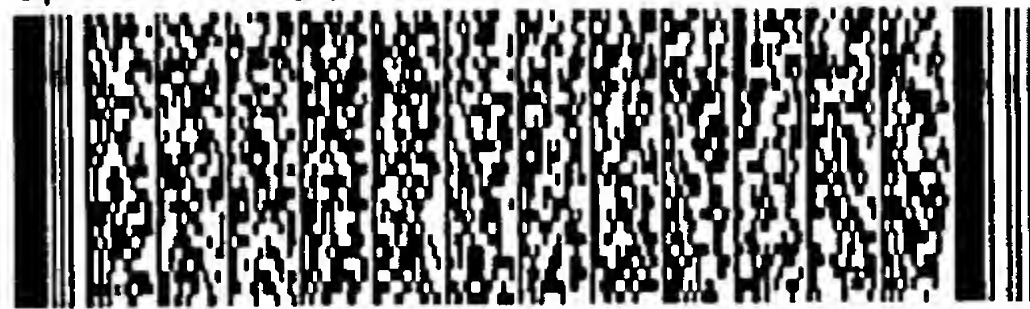
第 2/16 頁



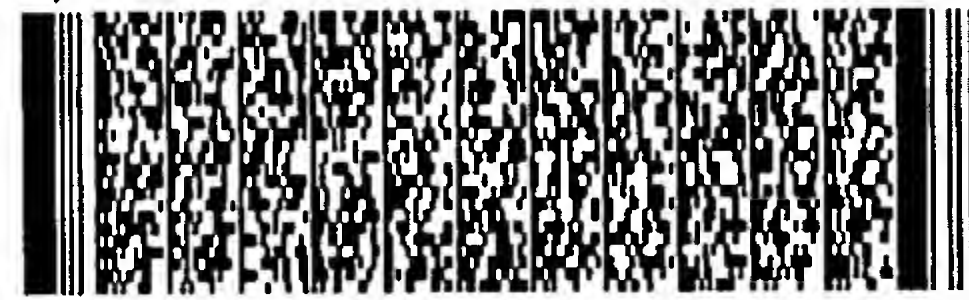
第 2/16 頁



第 3/16 頁



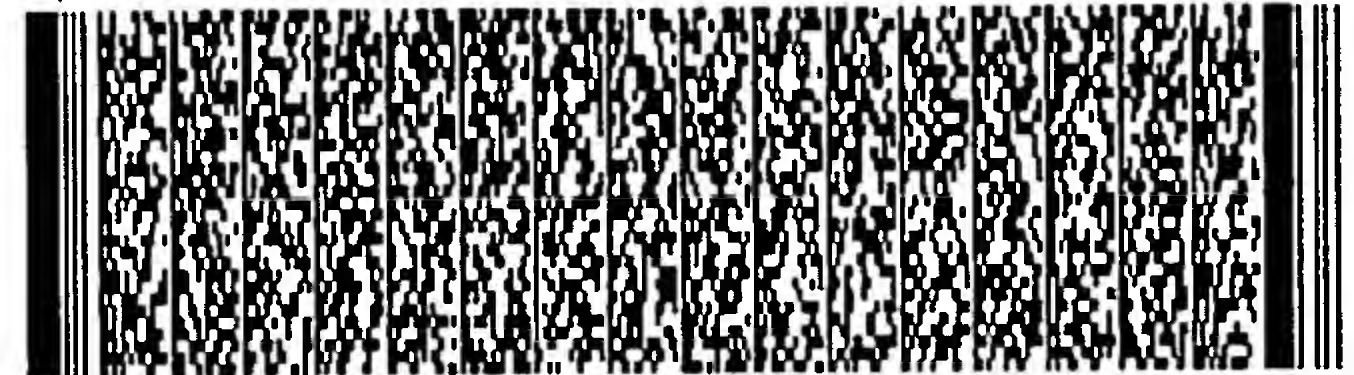
第 4/16 頁



第 5/16 頁



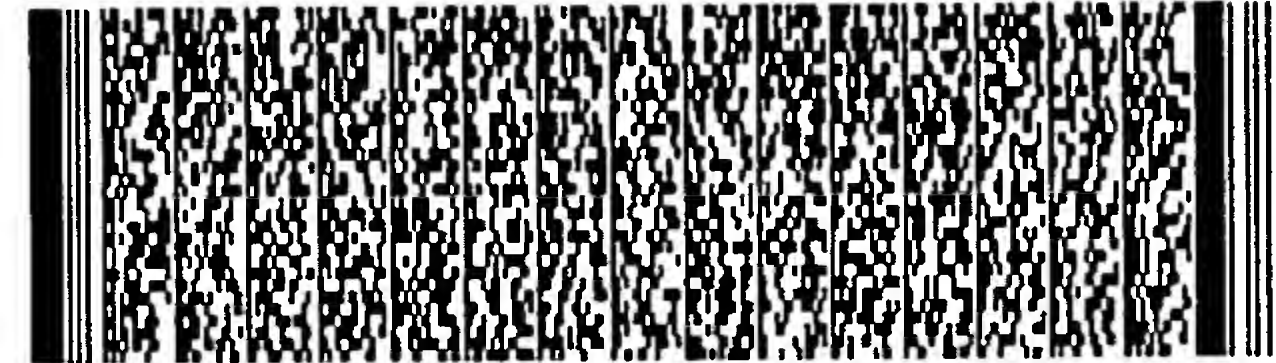
第 6/16 頁



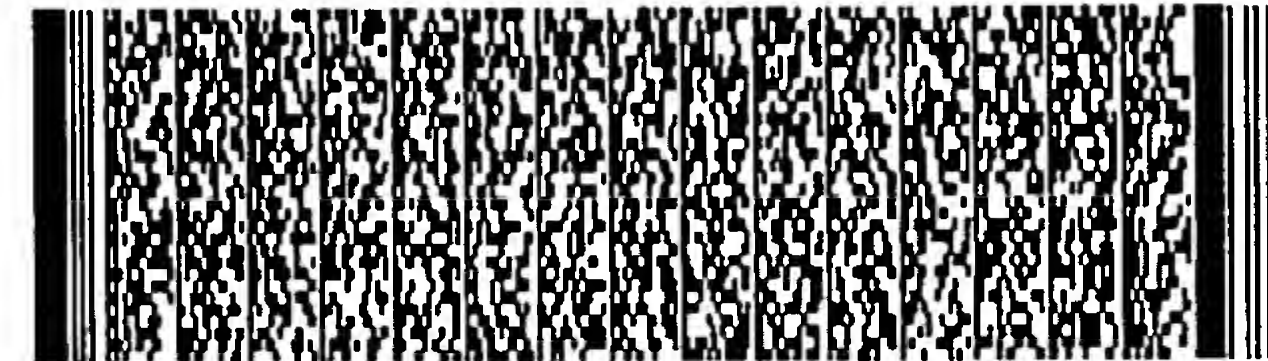
第 6/16 頁



第 7/16 頁



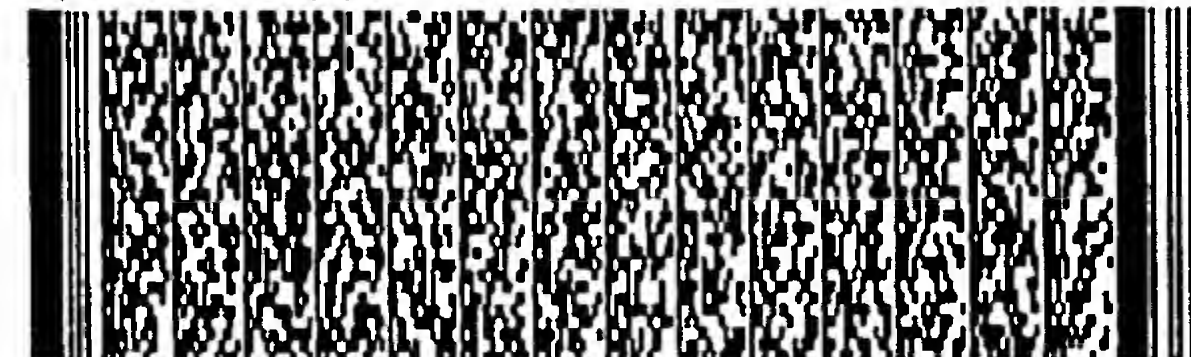
第 7/16 頁



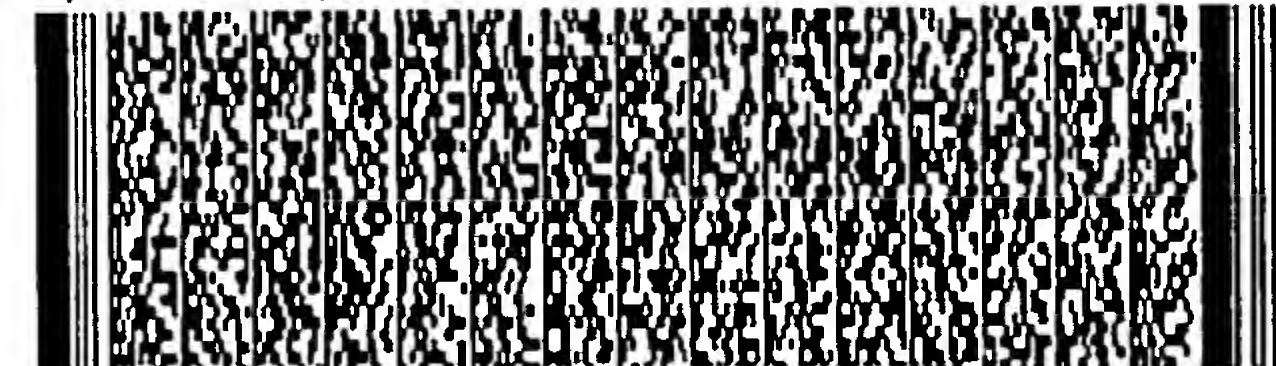
第 8/16 頁



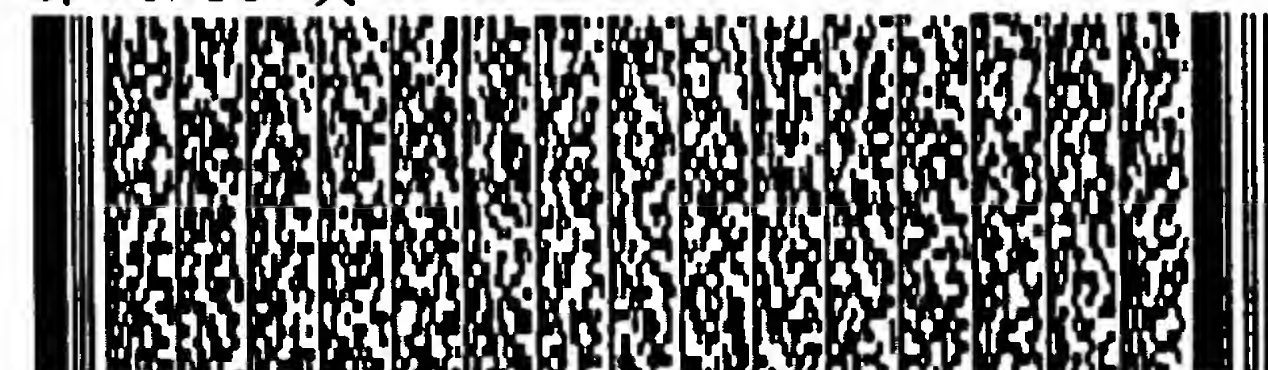
第 8/16 頁



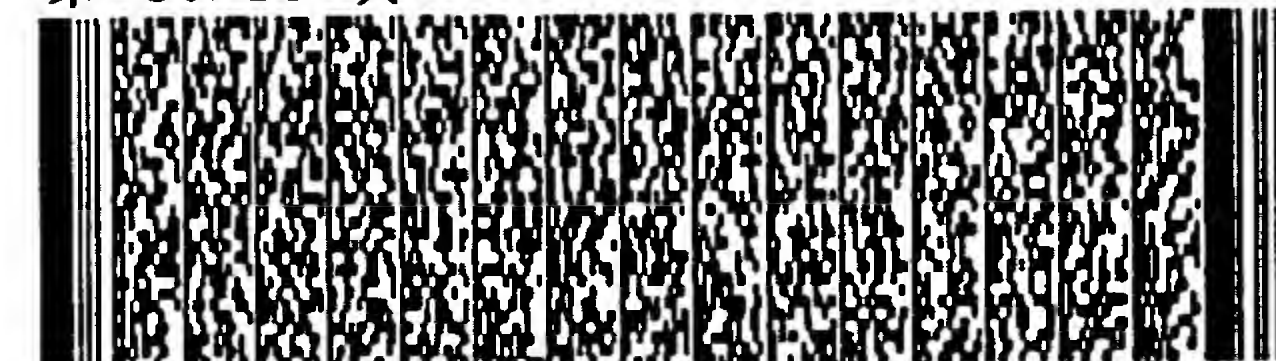
第 9/16 頁



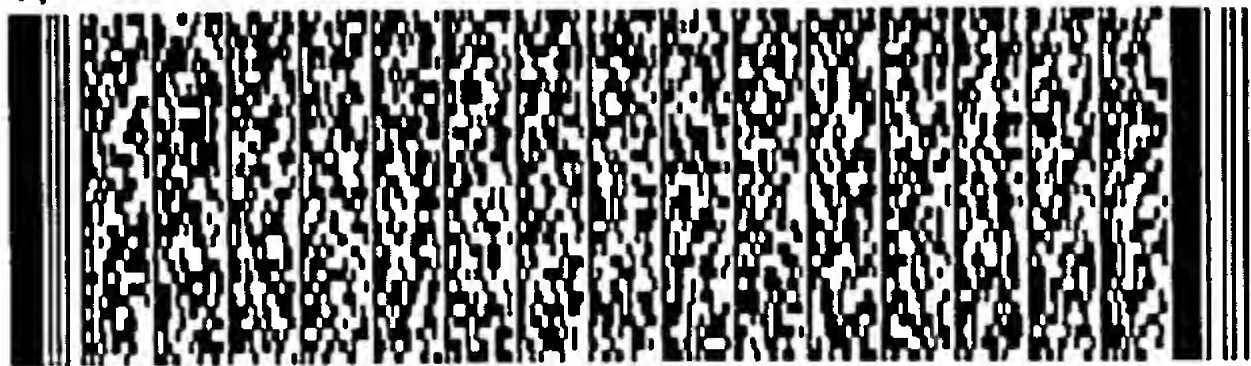
第 9/16 頁



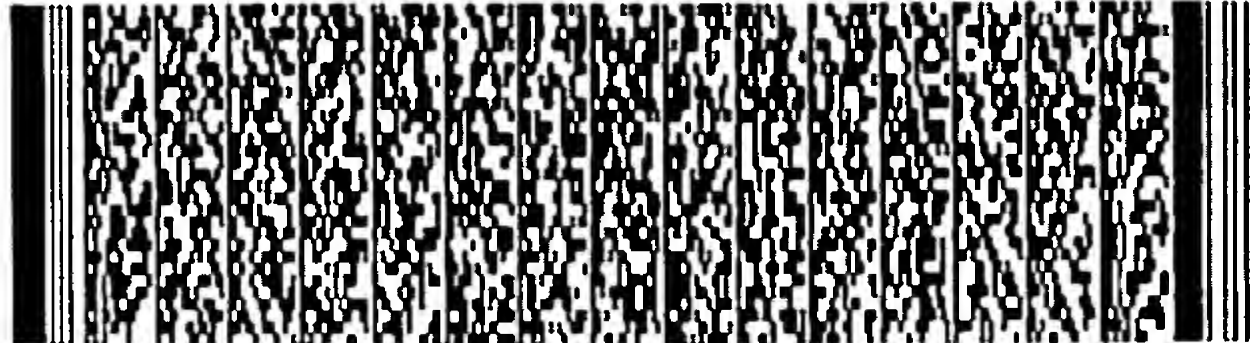
第 10/16 頁



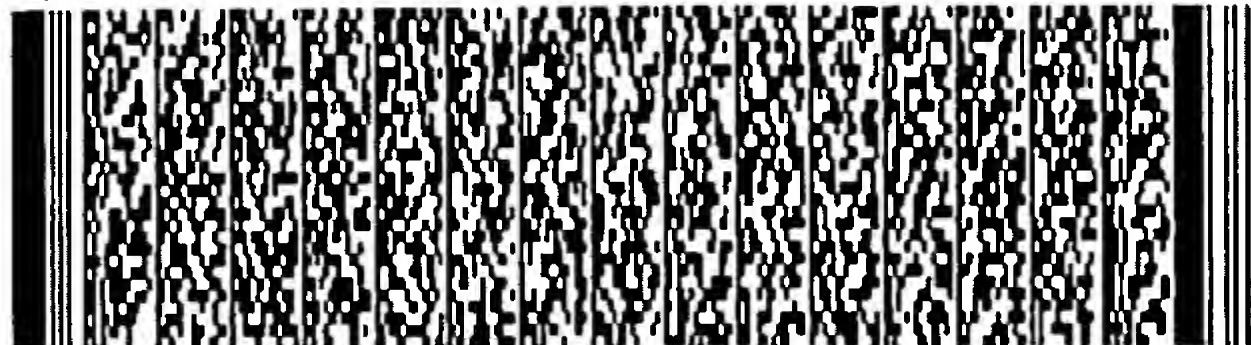
第 10/16 頁



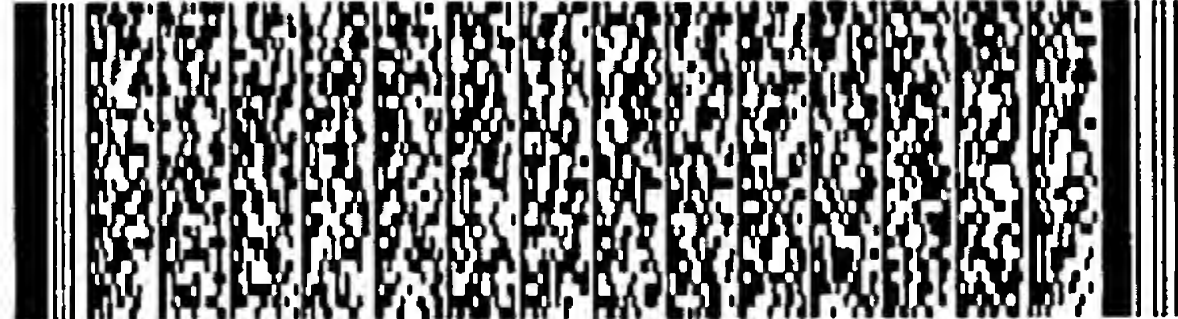
第 11/16 頁



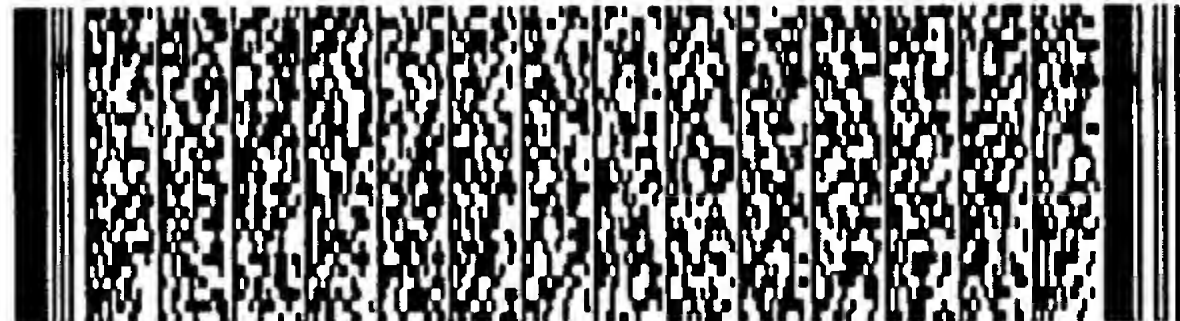
第 11/16 頁



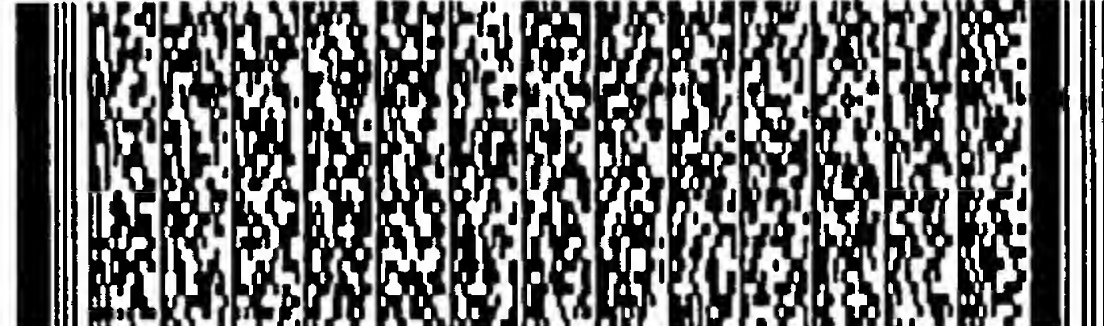
第 12/16 頁



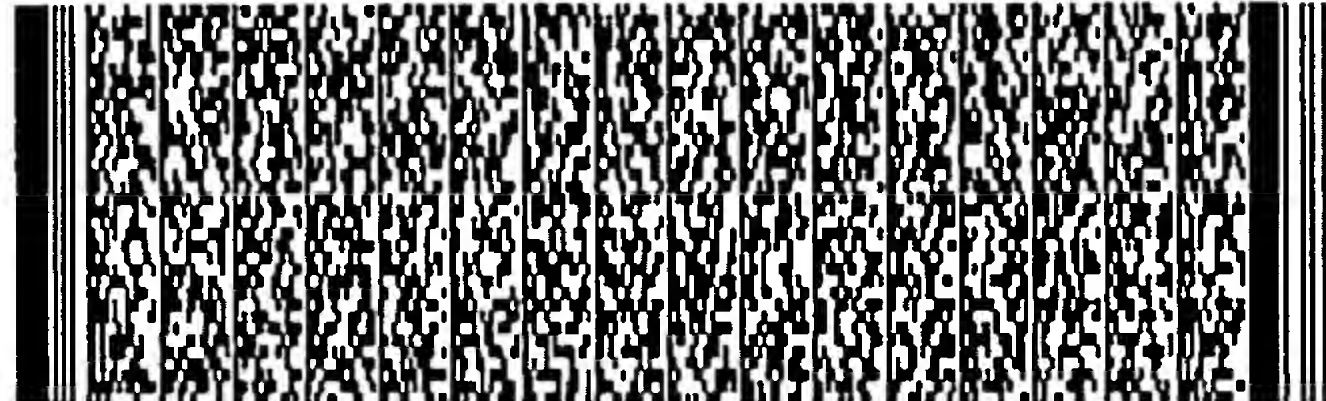
第 12/16 頁



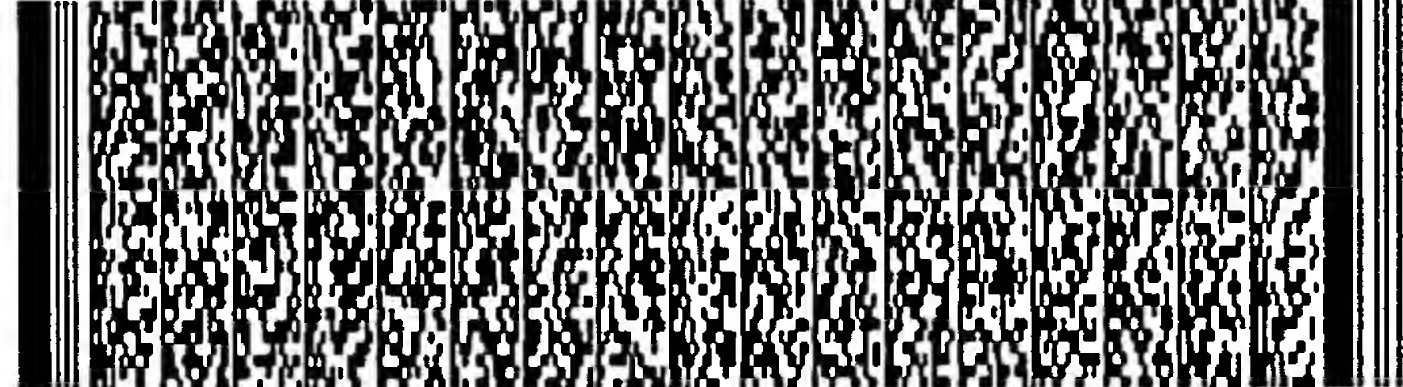
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

